

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11205091 A**

(43) Date of publication of application: 30 . 07 . 99

(51) Int. Cl.

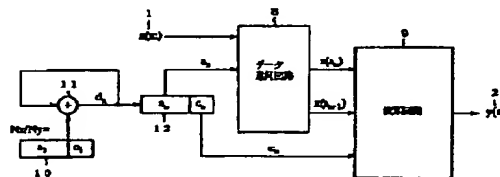
H03H 17/02
H03H 17/02
(21) Application number: **10004339**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **12 . 01 . 98**(72) Inventor: **MIKI TOMOKO**(54) **DIGITAL FILTERING METHOD AND DIGITAL FILTER**

(57) Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for previously calculating a variable, in accordance with a conversion rate so as to store it in a register at the time of generating the output data string of a data number different from the input data string of a certain data number.

SOLUTION: An integer part in the ratio of the data numbers in the input data string 1 and the output string 2 and an integer-converted part by rounding its decimal part are set in the register 10 as a change portion. Then, the change portion is added to a previous conversion rate variable recursively by an adder 11, the integer part of the obtained new conversion rate variable is used to select data in the input data string required for generating prescribed data in the output data string by a data selecting circuit 8, and prescribed data in the output data string is calculated by an arithmetic circuit 9 from the selected data and the decimal part of the new conversion rate variable.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-205091

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl.⁹
H 0 3 H 17/02識別記号
6 3 3
6 4 1F I
H 0 3 H 17/026 3 3 Z
6 4 1 E

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号 特願平10-4339

(22)出願日 平成10年(1998) 1月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 三木 智子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

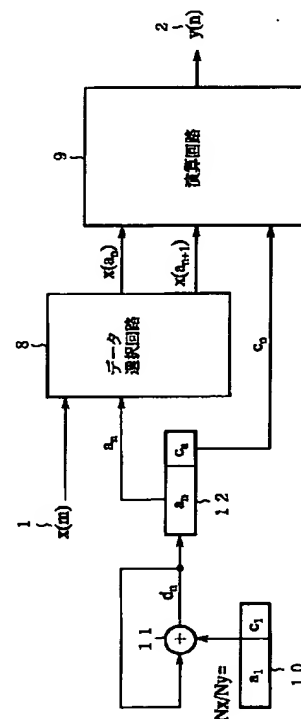
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 デジタルフィルタリング方法およびデジタルフィルタ

(57)【要約】

【課題】 あるデータ数の入力データ列から異なるデータ数の出力データ列を生成する際、変換率に応じて変数をあらかじめ計算してレジスタに格納しておく必要があった。

【解決手段】 入力データ列1と出力データ列2のデータ数の比の整数部分と、その小数部分を丸めて整数化したものを、変化分としてレジスタ10に設定しておき、加算器11で前回の変換率変数にその変化分を再帰的に加算し、得られた新たな変換率変数の整数部分を用いて、出力データ列中の所定データの生成に必要な入力データ列中のデータをデータ選択回路8で選択し、その選択データと新たな変換率変数の小数部分より、出力データ列中の所定のデータを演算回路9で算出する。



1: 入力データ列
2: 出力データ列
10: レジスタ
11: 加算器

【特許請求の範囲】

【請求項1】 所定のデータ数の入力データ列中より選択したデータに対して対応するフィルタ係数をかけ、前記入力データ列とは異なるデータ数の出力データ列を生成するデジタルフィルタリング方法において、

前記出力データ列中の所定のデータを生成する際に、前記入力データ列中のどのデータを用いて作成するかを示す変数と、それらにかかる前記フィルタ係数を示す変数とから成る変換率変数を、当該変換率変数の変化分を示す値を再帰的に加算することによって、順次自動生成することを特徴とするデジタルフィルタリング方法。

【請求項2】 出力データ列中の所定のデータを入力データ列中のどのデータから生成するかを示す変数と、それらにかかるフィルタ係数を示す変数とから成る変換率変数を、前記入力データ列のデータ数と前記出力データ列のデータ数との比の整数部分の値と、その小数部分の値とを用い、再帰的な加算によって順次自動生成することを特徴とする請求項1記載のデジタルフィルタリング方法。

【請求項3】 入力データ列のデータ数と出力データ列のデータ数との比の整数部分の値と、その小数部分の値とを、変換率変数の変化分を示す値として用いて、前記出力データ列中の所定のデータを前記入力データ列中のどのデータから生成するかを示す変数と、それらにかかるフィルタ係数を示す変数より成る変換率変数を、前記変換率変数の変化分を示す値の再帰的な加算によって順次自動生成する際に、前記変化分を示す値の再帰的な加算が行われる都度その誤差を積算して、当該誤差の積算値が所定値になった場合に、前記変換率変数の値を修正することを特徴とする請求項2記載のデジタルフィルタリング方法。

【請求項4】 入力データ列のデータ数と出力データ列のデータ数との比の整数部分の値と、その小数部分の値が、変換率変数の変化分を示す値として設定されるレジスタと、

前記レジスタに設定された変化分を示す値を前回の変換率変数に再帰的に加算して、新たな変換率変数を生成する加算器と、

前記加算器の生成した変換率変数の整数部分による変数に基づいて、前記出力データ列中の所定のデータを生成する際に必要な前記入力データ列中のデータを選択するデータ選択回路と、

前記加算器の生成した前記変換率変数の小数部分による変数をフィルタ係数として、前記データ選択回路で選択されたデータより前記出力データ列中の所定のデータを算出する演算回路とを備えたデジタルフィルタ。

【請求項5】 加算器によって再帰的な加算が行われる都度その誤差を積算して、当該誤差の積算値が所定値になったか否かを判定する誤差判定回路と、

前記誤差判定回路にて誤差の積算値が所定値になったと

判定された場合に、前記加算器の生成した変換率変数の値を修正する変換率変数修正回路とを設けたことを特徴とする請求項4記載のデジタルフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、所定のデータ数の入力データ列から任意のデータ数の出力データ列を生成するためのデジタルフィルタリング方法、およびそれを用いたデジタルフィルタに関し、特に、データ数の変換を行う場合に用いる入力データ列中のデータの特定と、そのとき用いるフィルタ係数を任意の変換率において自動生成するためのデジタルフィルタリング方法およびデジタルフィルタに関するものである。

【0002】

【従来の技術】図8は例えば、特開昭60-24717号公報に示された、従来のデジタルフィルタを示すブロック図である。図において、1は $x(m)$ で表される複数のデータによるフィルタリング前の入力データ列であり、2は $y(n)$ で表されるそれとは異なる数のデータによるフィルタリング後の出力データ列である。3はフィルタリング処理に入力データ列1中の何番目のデータを用いるかを示す情報が格納されたテーブルであり、4はそのデータにかけられるフィルタ係数が格納されたテーブルである。5はテーブル3に格納されているデータの1つを変数 a_n として選択するセレクト、6はテーブル4に格納されているデータの1つを変数 c_n として選択するセレクトであり、7はこれらセレクト5および6を制御するためのデータ切り替え信号を生成するデータ切り替え信号発生回路である。8はセレクト5からの変数 a_n に基づいて、入力データ列1の中からフィルタリングされるデータ $x(a_n)$ および $x(a_{n+1})$ を選び出すデータ選択回路であり、9はこのデータ選択回路8からのデータ $x(a_n)$ および $x(a_{n+1})$ と、セレクト6からの変数 c_n に基づいて、出力データ列2のデータ $y(n)$ を演算する演算回路である。

【0003】次に動作について説明する。テーブル3にはフィルタリング処理に入力データ列1中の何番目のデータを用いるかを示す情報が、またテーブル4にはフィルタ係数が、データ数の変換率に応じてあらかじめ計算されてそれぞれ格納されている。このテーブル3に格納されたデータの1つが、現在生成されようとしているデータの番号 n に応じて、データ切り替え信号発生回路7より出力されるデータ切り替え信号によって制御されるセレクト5で選択され、変数 a_n としてデータ選択回路8に入力される。このデータ選択回路8にはフィルタリングが行われる入力データ列1も入力されており、データ選択回路8はセレクト5からの変数 a_n に基づいて、この入力データ列1からデータ $x(a_n)$ と $x(a_{n+1})$ とを選択して演算回路9に入力する。

【0004】なお、この演算回路9にはこれらのデータ

$x(a_n)$ および $x(a_{n+1})$ とともに、現在生成されようとしているデータの番号 n に応じて、データ切り替え信号発生回路7の出力するデータ切り替え信号で制御されるセクタ6によって選択された、テーブル4の格納データの1つが変数 c_n として入力されている。演算回路9ではこのデータ $x(a_n)$ および $x(a_{n+1})$ とフィルタ係数である変数 c_n を用いて演算した出力データ列2を出力する。このように、テーブル3および4のそれぞれに格納された値は、それぞれ n 番目のデータを作るための変数 a_n および c_n として用いられる。

【0005】なお、このような従来のデジタルフィルタに関連する技術についての記載がある文献としては、その他にも、例えば、特開平5-299973号公報、特公平3-19726号公報などがある。

【0006】

【発明が解決しようとする課題】従来のデジタルフィルタは、以上のように構成されているので、変数 a_n および c_n をデータ数の変換率に応じてあらかじめ算出し、それをテーブル3および4に格納しておく必要があり、さらには、これら各テーブル3、4から必要なデータを取り出すためのセクタ5および6も必要となるため、回路規模も大きくなるなどの課題があった。

【0007】この発明は上記のような課題を解決するためになされたもので、データ数の変換率に応じて変数を自動生成することのできるデジタルフィルタリング方法を得ることを目的とする。

【0008】また、この発明は、データ数の変換率に応じて変数を自動生成することができる、高速で回路規模の小さなデジタルフィルタを得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係るデジタルフィルタリング方法は、出力データ列中の所定データの生成に用いる入力データ列中のデータを特定するための変数、およびフィルタ係数を示す変数から成る変換率変数を、当該変換率変数にその変化分を示す値を再帰的に加算することによって生成するようにしたものである。

【0010】この発明に係るデジタルフィルタリング方法は、入力データ列と出力データ列とのデータ数の比の、整数部分と小数部分の値を用いて、変換率変数を再帰的な計算によって自動的に生成するようにしたものである。

【0011】この発明に係るデジタルフィルタリング方法は、入力データ列と出力データ列とのデータ数の比の整数部分の値と、その小数部分の値とを変換率変数の変化分を示す値として用いた、再帰的な加算によって変換率変数を求める際に、その変換率変数の変化分を示す値を再帰的に加算する度に誤差を積算し、誤差の積算値が所定値になると変換率変数の値を修正するようにしたものである。

【0012】この発明に係るデジタルフィルタは、入力データ列と出力データ列とのデータ数の比の整数部分と、その小数部分を、変換率変数の変化分を示す値としてレジスタに設定しておき、加算器で前回の変換率変数にその変化分を示す値を再帰的に加算し、得られた新たな変換率変数の整数部分をデータ選択回路に入力して、出力データ列中の所定データの生成に必要な入力データ列中のデータを選択し、演算回路にてその選択されたデータと、前記新たな変換率変数の小数部分によるフィルタ係数より出力データ列中の所定データを算出するようにしたものである。

【0013】この発明に係るデジタルフィルタは、さらに、再帰的な加算による誤差の積算値が所定の値になったことを誤差判定回路が検出すると、変換率変数修正回路によって、加算器の生成した変換率変数の値を修正するようにしたものである。

【0014】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるデジタルフィルタを示すブロック図である。図において、1は $x(m)$ と表記される所定の数のデータより成る、フィルタリングが行われる入力データ列であり、2は $y(n)$ と表記される入力データ列1とは異なった数のデータより成る、フィルタリングされた出力データ列である。8は上記入力データ列1と、フィルタリング処理に入力データ列1中の何番目のデータを用いるかを示す情報である変数 a_n とが入力され、この変数 a_n に基づいて、入力データ列1中よりフィルタリングが行われるデータ $x(a_n)$ および $x(a_{n+1})$ を選び出すデータ選択回路である。9はこのデータ選択回路8で選ばれたデータ $x(a_n)$ および $x(a_{n+1})$ と、フィルタ係数としての変数 c_n が入力され、それらに基づいて出力データ列2のデータ $y(n)$ を演算する演算回路である。なお、これらの各部は図8に同一符号を付して示した従来のそれらと同等のものである。

【0015】また、10は N_x 個のデータによる入力データ列1から N_y 個のデータによる出力データ列2を、データのフィルタリングによる補完・間引によって作る場合のデータ数の変換率に基づいて、現在生成されようとしているデータの番号 n が $n=1$ のときの変換率変数 d_n の値が、変換率変数の変化分 d_1 として設定されるレジスタである。具体的には、上記入力データ列1と出力データ列2のデータ数の比 (N_x/N_y) の整数部分を示す値 a_1 のビット列、およびその小数部分を $1/t$ (t は整数) で割った商の値 c_1 のビット列を、その整数部分の値 a_1 のビット列が小数部分を $1/t$ で割った商の値 c_1 のビット列の最上位ビット (以下、MSB という) 側につながるように格納している。

【0016】11は前回の変換率変数 d_{n-1} に、このレ

レジスタ10より出力される変化分 d_1 を加算して、新たな変換率変数 d_n を生成する加算器であり、12はこの加算器11の出力である新たな変換率変数 d_n の整数部分を示す変数 a_n と、その小数部分を $1/t$ で割った商 c_n のビット列とが格納されるレジスタである。なお、この変換率変数 d_n は小数部分の変数 c_n のビット列のMSB側に整数部分の変数 a_n のビット列をつないだ形式で格納されており、変数 a_n はフィルタリング処理にデータ列1中の何番目のデータを用いるかを示す情報としてデータ選択回路8に入力され、変数 c_n はフィ

10

*

$$y(n) = p \times x(r) + (1-p) \times x(r+1) \quad \dots\dots\dots (1)$$

【0018】一方、入力データ列1と出力データ列2はともに、それぞれのデータが等間隔で並んでいるものとすると、入力データ列1のデータ間隔を“1”で正規化※

$$n \times (N_x / N_y) \quad \dots\dots\dots (2)$$

だけ離れている。この値の整数部分を変数 a_n とし、小数部分を変数 b_n とすると、上記式(2)は式(3)の★

$$n \times (N_x / N_y) = a_n + b_n \quad \dots\dots\dots (3)$$

さらに、その小数部分の変数 b_n を、 $1/t$ で割った商 c_n を用いて c_n/t で表わし、そのときの誤差を α_n 。★

$$n \times (N_x / N_y) = a_n + c_n / t + \alpha_n \quad \dots\dots\dots (4)$$

【0019】これより、上記式(3)を用いて式(1)◆◆を書き直すと、次に示す式(5)が得られ、

$$y(n) = b_n \times x(a_n) + (1-b_n) \times x(a_{n+1}) \quad \dots\dots\dots (5)$$

式(4)を用いて式(1)を書き直すと、次の式(6)が得られる。

$$y(n) = c_n / t \times x(a_n) + (1 - c_n / t) \times x(a_n + 1) + (\alpha_n \times x(a_n) - \alpha_{n+1} \times x(a_{n+1})) \quad \dots\dots\dots (6)$$

このように、出力データ列2のデータ $y(n)$ は変換率変数 d_n の整数部分による変数 a_n 、およびその小数部分の変数 b_n を、 $1/t$ で割った商 c_n と、変数 c_n の算出に用いられた定数 t で表わされることになる。

$$(N_x / N_y) = a_1 + c_1 / t + \alpha_1 \quad \dots\dots\dots (7)$$

この式(7)において、定数 t を $t = 2^s$ (s はべき乗を示す)とすると、 a_1 は整数部分であり、 c_1 はバイナリで表わされた小数点以下 s ビット分を取り出した

$$(N_x / N_y) \approx a_1, c_1 \quad \dots\dots\dots (8)$$

【0021】前述のように、このレジスタ10は、 N_x 個のデータから成る入力データ列1より、 N_y 個のデータから成る出力データ列2を、フィルタリングによる補完・間引きで作る場合の、入力データ列1と出力データ列2とのデータ数の比(N_x / N_y)から設定されるものであり、上記式(8)をビット列としたものがレジスタ10に格納される。すなわち、変換率変数 d_n の変化

$$\begin{aligned} (n-1) \times (N_x / N_y) \\ = a_{n-1} + c_{n-1} / t + \alpha_{n-1} \end{aligned} \quad \dots\dots\dots (9)$$

この式(9)をその式(4)より減算すれば、次の式

$$\begin{aligned} (N_x / N_y) \\ = (a_n + c_n / t) - (a_{n-1} + c_{n-1} / t) \end{aligned}$$

*【0017】次に動作について説明する。ここで、データのフィルタリングによる補完・間引きを行って、 N_x 個のデータ $x(1)$ 、 $x(2)$ 、 $x(3)$ 、 $\dots\dots\dots$ 、 $x(r)$ 、 $x(r+1)$ 、 $\dots\dots\dots$ による入力データ列1から、 N_y 個のデータ $y(1)$ 、 $y(2)$ 、 $y(3)$ 、 $\dots\dots\dots$ 、 $y(r)$ 、 $\dots\dots\dots$ による出力データ列2を作る場合、例えば、図2に示されるような、入力データ列1のデータ $x(r)$ と $x(r+1)$ との間の出力データ列2のデータ $y(n)$ は次に示す式(1)のように表わされる。

※した場合、出力データ列2のデータ $y(n)$ の位置は $y(0)$ から、次の式(2)で示す値、

★ように表記できる。

☆とすると、上記式(3)は次に示す式(4)となる。

【0020】ここで、現在生成されようとしているデータの番号 n が、 $n=1$ であれば、上記式(4)より次の式(7)が得られる。

値に等しい。したがって、上記式(7)は誤差 α_1 を省略すると、次の式(8)と表現することができる。

分 d_1 の整数部分を a_1 、小数部分が c_1/t で表わしたときの c_1 として、 c_1 のビット列のMSB側に a_1 のビット列をつないだ形式で格納される。

【0022】また、現在生成されようとしているデータの番号 n が、 $n=n-1$ であれば、式(4)より次の式(9)が得られ、

(10)となる。

7

8

$$+ \alpha_n - \alpha_{n-1}$$

..... (10)

【0023】したがって、上記式(7)とこの式(1 * * 0)より次の式(11)が得られ、

$$\begin{aligned} a_n + c_n / t &= (a_{n-1} + c_{n-1} / t) + (a_1 + c_1 / t) \\ &+ (\alpha_1 - \alpha_{n-1} + \alpha_n) \\ &= (a_{n-1} + c_{n-1} / t) + (a_1 + c_1 / t) + \alpha_1 \\ &..... (11) \end{aligned}$$

さらに、この式(11)における誤差部分 α_1 を省略す ※ ※ れば、次の式(12)が得られる。

$$\begin{aligned} a_n + c_n / t &\approx (a_{n-1} + c_{n-1} / t) + (a_1 + c_1 / t) \\ &..... (12) \end{aligned}$$

このように、出力データ列2のデータ $y(n)$ を得るための変換率変数 d_n の整数部分を示す変数 a_n 、および小数部分を示す変数 c_n は、この式(12)に示すように漸化的に求めることができる。

【0024】次に、図1に示したこの実施の形態1におけるディジタルフィルタにて変換率変数 d_n の生成過程を、図3に示すフローチャートを参照しながら説明する。まず、ステップST1において、現在生成されようとしているデータの番号 n が“1”であるか否かの判別
20 を行う。 n が“1”であればステップST2に分岐して、入力データ列1と出力データ列2のデータ数の比、すなわち N_x / N_y の整数部分の値 a_1 と小数部分の値 c_1 を、変換率変数 d_n の変化分 d_1 としてレジスタ10に設定する。なお、そのときレジスタ12の内容、すなわち変換率変数 d_n の整数部分の変数 a および小数部分の変数 c は“0”にクリアしてあるものとする。次にステップST3で n をインクリメントした後、ステップST1に処理を戻す。

【0025】この場合、ステップST3において n がインクリメントされ、“1”ではなくなっているため、処理はステップST1からステップST4に分岐する。ステップST4においては、前のサイクルでレジスタ12に格納された変換率変数 d_{n-1} の整数部分の変数 a_{n-1} と小数部分の変数 c_{n-1} が加算器11にも入力されて、それにレジスタ10に設定された変化分 d_1 の整数部分の値 a_1 と小数部分の値 c_1 が加算され、それぞれレジスタ12に格納されるとともに、加算器11の入力に再帰的に入力される。次にステップST3で n をインクリメントした後、処理はST1に戻される。以後、このステップST1、ST4、ST3のループが繰り返し実行される。

【0026】このようにして、まず初期値が“0”である変換率変数 d_n の整数部分の変数 a および小数部分の変数 c に、レジスタ10に設定されている変化分 d_1 の整数部分の値 a_1 および小数部分の値 c_1 が、加算器11によって再帰的に足しこまれ、その都度その加算結果がレジスタ12に格納される。この変換率変数 d_n ($= a_n + c_n / t$)は式(11)の左辺第3項を無視した式(12)に等しい。そしてこの変換率変数 d_n の

整数部分は変数 a_n として、小数部分は変数 c_n として、それぞれ分離して取り出される。取り出された変数 a_n は、入力データ列1とともにデータ選択回路8に入力される。また、変数 c_n はデータ選択回路8で選ばれたフィルタリングされるデータ $x(a_n)$ および $x(a_{n+1})$ とともに演算回路9に入力される。

【0027】ここで、フィルタリングされるデータを選び出すデータ選択回路8は、例えば図4に示すような回路構成を採っている。図において、21はレジスタ12からの変数 a_n に基づいて、イネーブル信号 EN_a_n および EN_a_{n+1} を生成するタイミング発生回路であり、22はこのタイミング発生回路21の生成したイネーブル信号 EN_a_n に基づいて、入力データ列1よりデータ $x(a_n)$ を選択するDフリップフロップ、23は同じくイネーブル信号 EN_a_{n+1} に基づいて、入力データ列1よりデータ $x(a_{n+1})$ を選択するDフリップフロップである。

【0028】次に動作について説明する。ここで、図5はフィルタリングされるデータの選択を説明するためのタイミングチャートである。図示のように、入力データ列1の各データ $x(m)$ はクロック信号CKに同期してDフリップフロップ22および23のD端子に入力されている。一方、Dフリップフロップ22にはタイミング発生回路21が変数 a_n より生成したイネーブル信号 EN_a_n が、Dフリップフロップ23には同じくイネーブル信号 EN_a_{n+1} が、それぞれのEN端子に入力されている。Dフリップフロップ22はクロック信号CKに同期して動作し、イネーブル信号 EN_a_n の後縁で入力データ列1中のデータ $x(a_n)$ を保持して、それをQ端子より出力する。Dフリップフロップ23も同様に、クロック信号CKに同期して動作し、イネーブル信号 EN_a_{n+1} の後縁で入力データ列1中のデータ $x(a_{n+1})$ を保持して、それをQ端子より出力する。

【0029】このデータ選択回路8によって選択されて出力された、入力データ列1中のデータ $x(a_n)$ および $x(a_{n+1})$ は演算回路9に送られる。演算回路9にはこの入力データ列1中のデータ $x(a_n)$ および $x(a_{n+1})$ とともに、レジスタ12からの変数 c_n も入力されている。演算回路9はこの変数 c_n をフィルタ係

50

数として用い、前記データ選択回路8にて選択されたデータ $x(a_n)$ および $x(a_{n-1})$ より、次に示す式

$$y(n) = c_n / t \times x(a_n) + (1 - c_n / t) \times x(a_{n-1})$$

..... (13)

【0030】以上のように、この実施の形態1によれば、入力データ列1と出力データ列2とのデータ数の比 (N_x / N_y) の整数部分の値 a_1 と、その小数部分の値 c_1 とを変換率変数 d_n の変化分 d_1 とし、それを変換率変数 d_n に再帰的に加算するようにしているので、必要な変数 a_n 、 c_n を漸化的に算出することができ、どのような変換率のデータ生成も自動的に行うことが可能となり、また簡便なハードウェアにて実現されているので高速で回路規模の小さい構成とすることができるなどの効果がある。

【0031】実施の形態2. 上記実施の形態1では誤差を考慮していないものについて説明したが、誤差を考慮することによって高精度のフィルタリングが行えるようにすることも可能である。図6はそのようなこの発明の実施の形態2によるデジタルフィルタを示すブロック図である。図において、1は入力データ列、2は出力データ列、8はデータ選択回路、9は演算回路、10はレジスタ、11は加算器、12はレジスタであり、これらは図1に同一符号を付して示した実施の形態1におけるそれらと同等の部分であるため、詳細な説明は省略する。

【0032】また、13は加算器11による変換率変数 d_n の再帰的な加算が実行される度に、その誤差を逐次積算してゆき、当該誤差の積算値が所定の値になったことを検出すると検出信号を発生する誤差判定回路である。14はこの誤差判定回路13において積算された誤差の値が所定値になったことが検出されたときに、当該誤差判定回路13より送られてくる検出信号によって制御され、加算器11より出力される誤差を含んだ変換率変数 e_n の値を修正して変換率変数 d_n を生成する変換率変数修正回路である。

【0033】上記誤差判定回路13内において、31は前回までの誤差の積算値に加算器11による1回の再帰的な加算によって生ずる誤差 α_1 を加算して、新たな誤差の積算値を出力する加算器であり、32はこの加算器3

$$\text{誤差 } \Sigma = \Sigma (\alpha_i) \quad (i = 1 \text{ to } n)$$

$$= n \times \alpha_1$$

【0036】そこで、誤差判定回路13においてはその誤差 α_1 を加算器31に入力し、その誤差 α_1 の値を加算器11で再帰的な加算が行われる度に積算してゆく。この加算器31より出力される誤差 α_1 の積算値は比較器32にも入力されており、比較器32はその絶対値を所定値としての“1”と比較する。比較の結果、誤差 α_1 の積算値の絶対値が“1”になると、比較器32より出力される比較結果によってセレクト34が切り替えられ、加算器31より出力される誤差 α_1 の積算値から減

* (13)にしたがって出力データ列2のデータ $y(n)$ を演算する。

※1からの新たな誤差の積算値の絶対値が所定値“1”になったか否かを判定する比較器である。33は加算器31の出力する新たな誤差の積算値から“+1”あるいは“−1”を引き算する減算器であり、34は加算器31の出力と減算器33の出力とを、比較器32からの比較結果に応じて切り替え、前回までの誤差の積算値として加算器31に入力するセレクトである。この誤差判定回路13は、これら加算器31、比較器32、減算器33、およびセレクト34にて構成されている。なお、この誤差判定回路13からは、比較器32の比較結果が検出信号として変換率変数修正回路14に入力される。

【0034】また、上記変換率変数修正回路14内において、41は誤差判定回路13からの検出信号によって制御されて、誤差判定回路13にて誤差の積算値が所定の値になったことが検出された場合には“+1”または“−1”の加算データを選択し、そうでない場合には“0”の加算データを選択するセレクトである。42はこのセレクト41で選択された加算データを、加算器11より出力される誤差を含んだ変換率変数 e_n の値に加算して修正し、新たな変換率変数 d_n を生成する加算器である。この変換率変数修正回路14は、これらセレクト41、および加算器42にて構成されている。

【0035】次に動作について説明する。加算器11から出力される誤差を含んだ変換率変数 e_n は、変換率変数修正回路14の加算器42に入力され、セレクト41で選択された加算データと足し合わされて n 番目の変数を示す新たな変換率変数 d_n となり、レジスタ12に格納されるとともに、加算器11に入力される。ここで、セレクト41にて加算データとして“0”が選択されていれば、加算器11の出力する誤差を含んだ変換率変数 e_n は、加算器42をそのまま通過して加算器11に再入力されるため、式(11)の右辺第3項に示される誤差 α_1 がその都度累積されてゆく。この誤差の積算値は次の式(14)で示される。

$$\text{..... (14)}$$

算器33で“+1”または“−1”が減算された値が選択されて加算器31に入力される。なお、この減算器33では、誤差の積算値の符号が正であれば“+1”の減算が行われ、負であれば“−1”の減算が行われる。

【0037】なお、そのとき、この誤差判定回路13からは、比較器32の比較結果が検出信号として変換率変数修正回路14にも入力される。変換率変数修正回路14ではこの誤差判定回路13からの検出信号にしたがってセレクト41を制御し、加算データを“0”から“+

1”あるいは“-1”に切り替える。この場合も、誤差の積算値の符号が正であれば“+1”が選択され、負であれば“-1”が選択される。この加算データは加算器42に送られて、加算器11より出力された変換率変数 e_n に含まれている誤差の積算値の絶対値が“1”になったところで、誤差の積算値の符号が正であれば“+1”が、負であれば“-1”が加算される。このようにして、積算値の絶対値が“1”を超える前に誤差が吸収された変換率変数 d_n の、整数部分による変数 a_n でデータの選択を行い、小数部分による変数 c_n をフィルタ係数としてフィルタリングを行うことにより、より高精度のデジタルフィルタを実現することができる。

【0038】ここで、図7は上記変換率変数 d_n の生成過程を示すフローチャートである。まずステップST11でデータの番号 n が“1”であるか否かを判別し、“1”であればステップST12において、入力データ列1と出力データ列2のデータ数の比(N_x/N_y)の整数部分の値 a_1 と小数部分の値 c_1 を、変換率変数の変化分 d_1 としてレジスタ10に設定する。そのときレジスタ12の内容はクリアしてあるものとする。次にステップST13で n をインクリメントしてステップST11に戻る。これ以降、 n は“1”ではなくなるのでステップST14に分岐し、前サイクルの変換率変数 d_{n-1} の整数部分の変数 a_{n-1} と小数部分の変数 c_{n-1} に、変化分 d_1 の整数部分の値 a_1 と小数部分の値 c_1 が加算される。なお、ここまでの処理は図3に示した実施の形態1の場合と同様である。ただし、このステップST14における加算結果は、誤差を含む変換率変数 e_n として出力される。

【0039】次にステップST15に進み、誤差判定回路13の加算器31で積算されている誤差の積算値の絶対値が“1”に達したか否かを判定する。その結果、誤差の積算値の絶対値が“1”に達していなければステップST16に分岐して、ステップST14で計算された誤差を含む変換率変数 e_n をそのまま変換率変数 d_n とし、ステップST13で n のインクリメントを行った後、処理をステップST11に戻す。一方、誤差の積算値の絶対値が“1”に達していれば、ステップST17に分岐してその誤差の積算値の符号が正であるか負であるかを判定する。正であればステップST18に分岐して、ステップST14で計算された誤差を含む変換率変数 e_n より“1”を減算して変換率変数 d_n とし、負であればステップST19に分岐して、ステップST14で計算された誤差を含む変換率変数 e_n より“1”を加算して変換率変数 d_n とする。その後、ステップST13で n のインクリメントを行った後、処理をステップST11に戻す。

【0040】以上のように、この実施の形態2によれば、入力データ列1と出力データ列2とのデータ数の比(N_x/N_y)の整数部分の値 a_1 と小数部分を丸めて

整数化した値 c_1 を変換率変数 d_n の変化分 d_1 とし、それを変換率変数 d_n に再帰的に加算する際に、その再帰的な加算の都度誤差を積算して、その積算値が所定値になると変換率変数の値を修正するようにしているの、誤差を所定値以下に抑えることができ、より正確なフィルタリングを行うことができるようになるという効果がある。

【0041】

【発明の効果】以上のように、この発明のデジタルフィルタリング方法によれば、変化分を示す値の再帰的な加算によって、出力データ列中の所定のデータの生成に用いる入力データ列中のデータを特定するための変数と、フィルタ係数を示す変数とを生成するようにしているので、変化分を設定するだけで、自動的にデータ数の変換率に応じた変数を生成することが可能となり、変換率に応じた変数をあらかじめ計算してテーブルに格納しておく必要のないデジタルフィルタリング方法を得ることができる効果がある。

【0042】また、この発明のデジタルフィルタリング方法によれば、変化分を示す値として、入力データ列と出力データ列のデータ数の比の整数部分の値と、小数部分の値を用い、その再帰的な加算によって変換率変数を算出する度に誤差を積算し、誤差の積算値が所定の値になると変換率変数の値を修正するようにしているので、誤差分も加味した正確なフィルタリングを行うことができる効果がある。

【0043】また、この発明のデジタルフィルタによれば、入力データ列と出力データ列とのデータ数の比の整数部分と、その小数部分を丸めて整数化したものを、変換率変数の変化分としてレジスタに設定しておき、加算器で前回の変換率変数にその変化分を再帰的に加算して、データ選択回路がそれによって得られた変換率変数の整数部分に基づいて、入力データ列中より出力データ列中の所定データを生成するのに必要なデータを選択し、その選択データと変換率変数の小数部分によるフィルタ係数を演算回路に入力して、出力データ列中の所定のデータを算出するようにしたので、データ数の変換率に応じた変数を自動的に生成することが可能となり、その処理はハードウェア化されて、高速で回路規模の小さなデジタルフィルタが得られるという効果がある。

【0044】また、この発明に係るデジタルフィルタによれば、さらに、誤差判定回路で再帰的な加算による誤差の積算値が所定の値になったことを検出すると、加算器の生成した変換率変数の値を、変換率変数修正回路において修正するようにしたので、誤差分も加味した正確なフィルタリングが行えるデジタルフィルタが得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるデジタルフィルタを示すブロック図である。

【図2】 実施の形態1におけるデータの補完・間引きによるデータの作成を示す説明図である。

【図3】 実施の形態1における変換率変数の生成過程を示すフローチャートである。

【図4】 実施の形態1におけるデータ選択回路の内部構成を示すブロック図である。

【図5】 実施の形態1におけるフィルタリングされるデータの選択を説明するためのタイミングチャートである。

【図6】 この発明の実施の形態2によるデジタルフ * 10

* イルタを示すブロック図である。

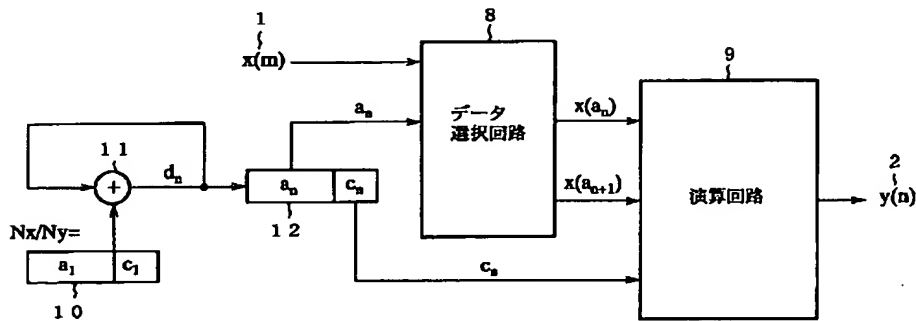
【図7】 実施の形態2における変換率変数の生成過程を示すフローチャートである。

【図8】 従来のデジタルフィルタを示すブロック図である。

【符号の説明】

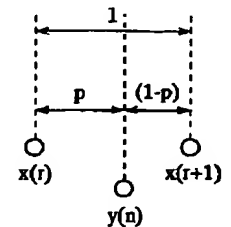
1 入力データ列、2 出力データ列、8 データ選択回路、9 演算回路、10 レジスタ、11 加算器、13 誤差判定回路、14 変換率変数修正回路。

【図1】

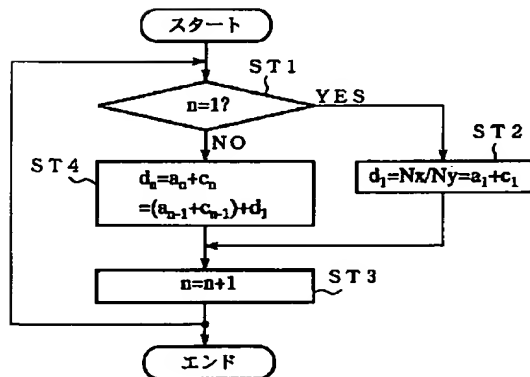


1 : 入力データ列
2 : 出力データ列
10 : レジスタ
11 : 加算器

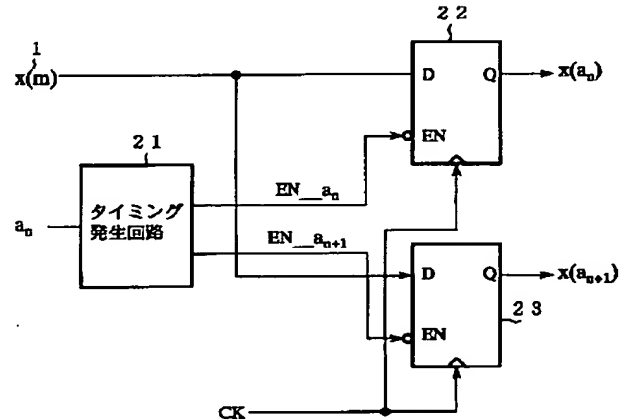
【図2】



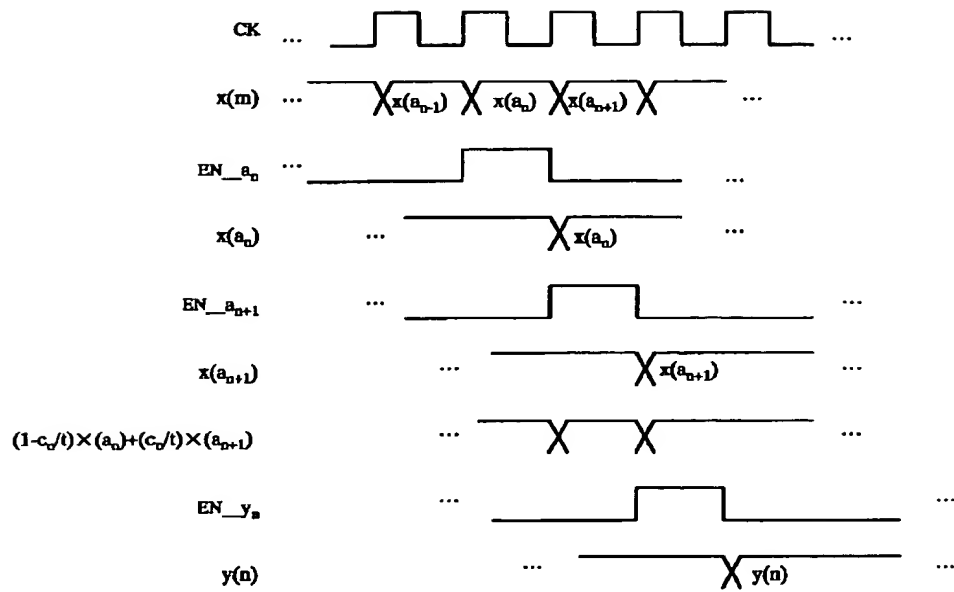
【図3】



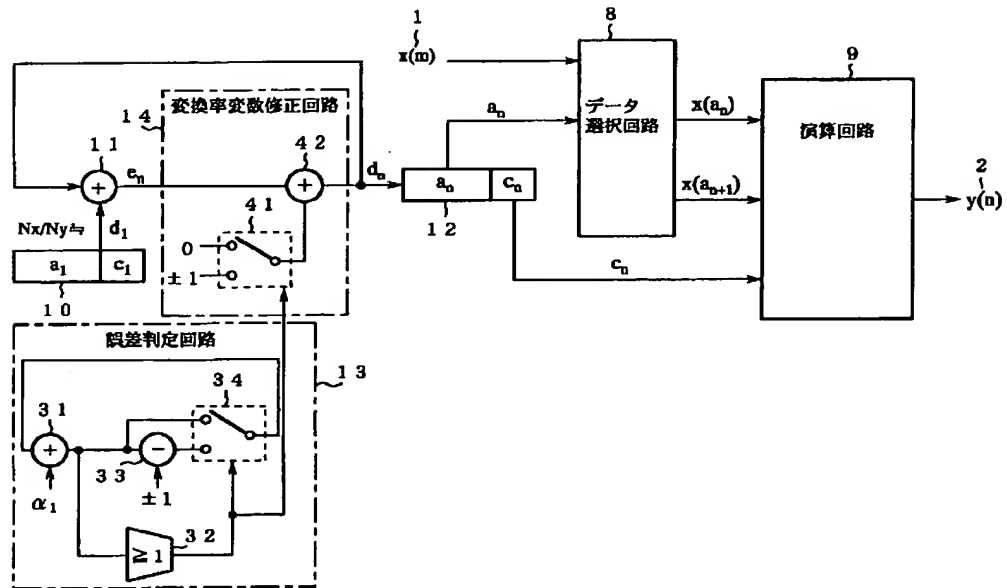
【図4】



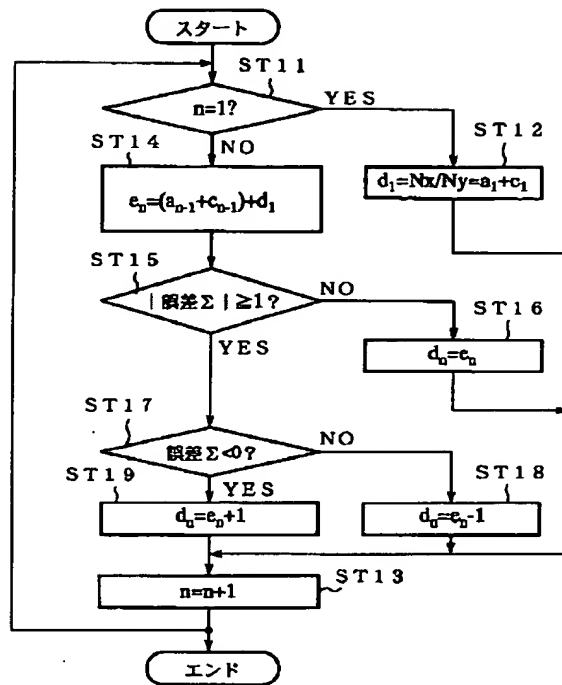
【図 5】



【図 6】



【図 7】



【図 8】

